

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-145434

(43)公開日 平成10年(1998) 5月29日

(51)Int.Cl.⁸

識別記号

F I

H 0 4 L 13/08

H 0 4 L 13/08

H 0 4 B 7/005

H 0 4 B 7/005

H 0 4 L 12/56

H 0 4 L 11/20

1 0 2 A

29/08

13/00

3 0 7 C

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21)出願番号

特願平8-300501

(22)出願日

平成8年(1996)11月12日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 内田 資之

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

(72)発明者 青木 鋭明

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

(72)発明者 中尾 彰

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝小向工場内

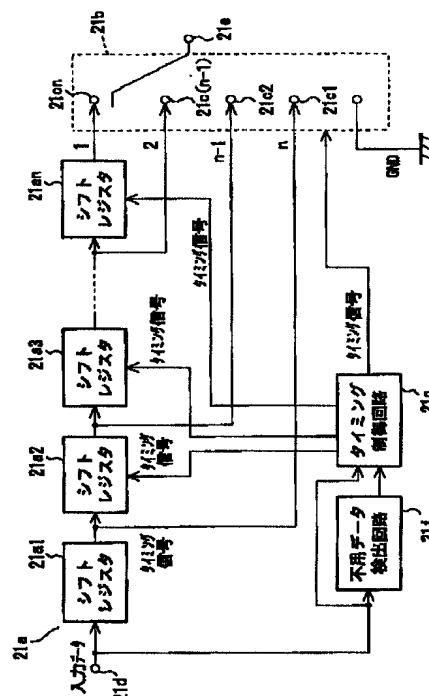
(74)代理人 弁理士 鈴江 武彦 (外6名)

(54)【発明の名称】 伝送レート差吸収回路

(57)【要約】

【課題】この発明は、最小限のメモリを用いて、入力データ長とパケット長との違いによる伝送レートの差を吸収し得る伝送レート差吸収回路を提供することを課題としている。

【解決手段】単位ブロック中に複数の有効パケットを有した入力データから、有効パケット相互間に付随した不用データを除く、複数の有効パケットのみを配列させたデータを生成する有効パケット抽出手段21aと、入力データから、不用データを検出する不用データ検出手段21fと、不用データ検出手段21fによって検出された不用データをカウントし、少なくとも単位パケット長になった時点で、カウントされた不用データ長に相当するダミーパケットを、有効パケット抽出手段の出力データ内の有効パケット相互間に挿入するダミーパケット挿入手段21gとを備えている。



【特許請求の範囲】

【請求項1】 単位ブロック中に複数の有効パケットを有した入力データから、有効パケット相互間に付随した不用データを除く、複数の前記有効パケットのみを配列させたデータを生成する有効パケット抽出手段と、前記入力データから、前記不用データを検出する不用データ検出手段と、

前記入力データに基づいて、前記有効パケット抽出手段を制御するとともに、前記不用データ検出手段によって検出された前記不用データをカウントし、少なくとも単位パケット長になった時点で、カウントされた前記不用データ長に相当するダミーパケットを、前記有効パケット抽出手段の出力データ内の有効パケット相互間に挿入するダミーパケット挿入手段とを具備してなることを特徴とする伝送レート差吸収回路。

【請求項2】 前記有効パケット抽出手段は、複数配置されており、少なくとも単位パケット長分の有効なデータを格納する記憶手段と、複数の前記記憶手段の出力をそれぞれパケット周期毎に順次切り替えて導出する導出手段とを有し、

前記ダミーパケット挿入手段は、前記導出手段の入力側を基準電位点に接続させるように制御する手段を有してなることを特徴とする請求項1記載の伝送レート差吸収回路。

【請求項3】 前記記憶手段は、シフトレジスタであることを特徴とする請求項2記載の伝送レート差吸収回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、有効データパケット間にダミーパケットを挿入して、入力データ長とパケット長との違いによる伝送レートの差を吸収する伝送レート差吸収回路に関する。

【0002】

【従来の技術】周知のように、データのパケット伝送にあつては、有効パケット相互間にダミーパケットを挿入して、入力データ長とパケット長との違いによる伝送レートの差を吸収する伝送レート差吸収回路が採用されている。この伝送レート差吸収回路は、例えばDVC(Digital Video Cassette Recorder) BUSデータのような1フレームを1つの単位とし、そのフレーム中の単位パケット毎に映像データや音声データが存在し、そのパケット間に不用なデータが混在しているようなデータ列を、ある単位で1まとめにして、このデータ列の先頭にヘッダーを付加してパケット伝送している。

【0003】ここで、パケット伝送において、1まとめにするデータ長に対してパケット長が短い場合、伝送レート差吸収回路は、余分な不用データを取り除き、この不用データのある単位に1まとめにして1フレーム期間のどこかに移動させる必要が生じる。このような場合の

うち、

(1) パケットをフレームに対して前詰めにしたい場合、伝送レート差吸収回路は、図5(a)に示すように、余分な不用データを有効パケットの後部に1まとめにするために、1フレームメモリ11を使用してデータを1度全部取り込む必要がある。

【0004】(2) 有効パケット間にダミーデータを集めたパケットを挿入する場合、伝送レート差吸収回路は、図5(b)に示すように、RAM(Random Access Memory)等のメモリ12を使用して、不用データがある単位のパケット長になるまで入力データを取り込んで、メモリ12内でデータの並び換えを行なっている。

【0005】しかしながら、上記いずれの場合でも、伝送レート差吸収回路は、メモリ内に入力データをすべて取り込むため、大容量のメモリが必要となるという問題が生じている。

【0006】

【発明が解決しようとする課題】以上のように、従来の伝送レート差吸収回路では、入力データ長とパケット長との違いによる伝送レートの差を吸収する際に、メモリ内に入力データを全て取り込んで並び換えを行なっているため、入力データを取り込む分の大容量のメモリが必要となるという問題を有している。

【0007】この発明の目的は、最小限のメモリを用いて、入力データ長とパケット長との違いによる伝送レートの差を吸収し得る伝送レート差吸収回路を提供することにある。

【0008】

【課題を解決するための手段】この発明に係る伝送レート差吸収回路は、単位ブロック中に複数の有効パケットを有した入力データから、有効パケット相互間に付随した不用データを除く、複数の有効パケットのみを配列させたデータを生成する有効パケット抽出手段と、入力データから、不用データを検出する不用データ検出手段と、入力データに基づいて、有効パケット抽出手段を制御するとともに、不用データ検出手段によって検出された不用データをカウントし、少なくとも単位パケット長になった時点で、カウントされた不用データ長に相当するダミーパケットを、有効パケット抽出手段の出力データ内の有効パケット相互間に挿入するダミーパケット挿入手段とを備えるようにしたものである。

【0009】この構成によれば、単位パケット長分のデータを格納できる記憶容量を有するメモリを単位ブロック内で複数用いることによって、入力データ長とパケット長との違いによる伝送レートの差を吸収する場合に、単位ブロックの入力データに対する並び換え処理及びダミーパケットの挿入を行なうことができる。

【0010】

【発明の実施の形態】以下、この発明の実施の形態について図面を参照して詳細に説明する。図1は、この発明

の一実施形態が適用されるDVCシステムの送信部を示している。

【0011】図1において、まず、DVC BUSから出力されたDVCP_{ro}の圧縮データ（バスクロック9.0MHz）は、DVCSパケット回路21に供給される。DVCSパケット回路21は、供給された圧縮データからブランク（無効）データを削除して、先頭にヘッダー6バイトを付加し、誤り訂正付加回路22に出力している。

【0012】誤り訂正付加回路22は、DVCSパケット回路21から出力されたデータに、誤り訂正のための符号4バイトを付加している。誤り訂正付加回路22から出力されたデータは、伝送同期付加回路23にて伝送同期用の符号2バイトが付加され、P/S（Parallel/Serial）変換回路24にてパラレルバスデータからシリアルデータへ変換される。このシリアルデータは、“0”か“1”が続いて連続しないようにするとともに、擬似同期クロックを防ぐために、スクランブル回路25にて擬似ランダム列にスクランブルがかけられる。このスクランブルは、10次ランダムイズで行なっている。

【0013】スクランブルがかけられたデータは、16B（Bit）1C（Complementary）付加回路26にて、16ビット毎にコンプリメンタリーデータを1ビット付加され、NRZI（Noise Reduction Zero Inverter）27にて、雑音低減等のNRZI変換処理を施され、以後、ドライバ回路28を経由して受信側に送信される。

【0014】図2は、上記DVCSパケット回路21における信号動作を示している。すなわち、図2（a）に示す信号は、DVC圧縮データからブランクデータを削除してシリアル伝送する場合の信号である。この信号の実効伝送レートは、約28Mbpsである。これにパケットのヘッダー、伝送同期や誤り訂正符号等のビットを付加しても約30～31Mbpsになり、伝送する場合には約5～6Mbpsに相当するブランクが生じ、このブランクに擬似同期ロックがかけられる。このブランクによる擬似同期ロックを防ぐ対策としては、図2（b）に示すように、ブランキング期間にダミーパケットを挿入し、ブランクを1パケット長以下に減らすことが考えられる。

【0015】ここで、図3は、上記DVCSパケット回路21内に適用されるこの発明の一実施形態を示し、図4は、一実施形態による信号の動作を示している。すなわち、DVCSパケット回路21は、複数のシフトレジスタ21a1～21an、スイッチ21b、不用データ検出回路21f及びタイミング制御回路21gを備えている。このシフトレジスタ21aは、少なくとも1パケット分のデータを蓄えられるものである。また、複数のシフトレジスタ21a1～21anには、それぞれ出力端子21c1～21cnが設けられている。

【0016】入力端子21dに供給された図4（a）に

示す如くnパケット分のデータを有する例えば1フレームの入力データは、シフトレジスタ21a1～21anへそれぞれ1パケットづつ格納される。すなわち、シフトレジスタ21anには、1フレームのデータのうちの1パケットデータが格納され、以後、シフトレジスタ21a1には、nパケットデータが格納されることになる。

【0017】また、不用データ検出回路21fには、図4（c）に示すように、有効パケットをH（ハイ）レベルで示し、不用データをL（ロー）レベルで示すゲート信号が供給される。不用データ検出回路21fは、1フレーム中に混在する不用データを全て検出する。この検出結果に対応する信号は、タイミング制御回路21gにてカウントされ、カウントされた不用データが少なくとも1パケット長になった時点で、タイミング信号としてスイッチ21bの制御端に与えられる。

【0018】そして、スイッチ21bは、タイミング制御回路21gからのタイミング信号によって、GND（基準電位点）に倒されることになる。この期間に、ダミーパケットである無効パケットが、出力端子21eから取り出される1フレームの出力データに挿入されることになる。

【0019】また、タイミング制御回路21gは、図4（c）に示すゲート信号を入力し、このゲート信号のHレベル期間にシフトレジスタ21a1～21anに有効パケットが格納されるようなタイミング信号を、シフトレジスタ21a1～21anに出力する。

【0020】すなわち、シフトレジスタ21a1～21anは、タイミング制御回路21gからのタイミング信号に基づいて、1パケット長の有効パケットのみをそれぞれ格納することになる。このため、シフトレジスタ21a1～21anの出力は、スイッチ21bの順次切替動作によって、有効パケットのみが配列されたデータとして出力端子21eから取り出される。

【0021】なお、スイッチ21bは、1パケット分の有効なデータがシフトレジスタ21aに蓄積される間、タイミング制御回路21gにてGNDに倒されており、これにより無効パケットが出力データの先頭に挿入されることになる。そして、シフトレジスタ21aに1パケット分のデータが蓄積された時点で、スイッチ21bは、出力端子21cnに切り替えられ、以後、1パケット周期毎に順次切り替えが行なわれる。

【0022】このため、出力端子21eから取り出されたデータは、図4（b）に示すように、不用データが取り除かれ、代わって無効パケットが有効パケット相互間に挿入されたことになる。

【0023】したがって、上記実施形態によれば、1パケット分の有効なデータを格納する複数のシフトレジスタ21a1～21an、それぞれのシフトレジスタ21a1～21anの出力を順次切り替えるスイッチ21

10

20

30

40

50

b, 不用データ検出回路21f及びタイミング制御回路21gを用い、シフトレジスタ21a1~21anに1パケット分の有効なデータが格納される期間に、タイミング制御回路21gにてスイッチ21bをGNDに倒すように制御し、1パケット分の無効パケットデータを出力データに挿入している。このため、使用するシフトレジスタ21aは、各々最小限の1パケット分のみの容量となる。

【0024】また、挿入していく無効パケットのタイミングは、
パケット長/集める1単位の不用なデータ長=挿入していくn有効パケット間隔
となる。

【0025】なお、上記実施形態では、シフトレジスタ21aを使用しているが、少なくとも1パケット分のデータを蓄えられるメモリ等を使用するようにしてもよい。さらに、上記実施形態以外にも、データ長がパケット長よりも長い場合に生じる不用データのみを、シフトレジスタ21aに格納し、1パケット長になった時点で、出力データの有効パケット間に1パケット長の不用データを挿入するようにしてもよい。なお、この発明は上記各実施形態に限定されるものではなく、この他その要旨を逸脱しない範囲で種々変形して実施することができる。

【0026】

【発明の効果】以上詳述したようにこの発明によれば、最小限のメモリを用いて、入力データ長とパケット長との違いによる伝送レートの差を吸収し得る伝送レート差吸収回路を提供することができる。

【図面の簡単な説明】

【図1】この発明に係る伝送レート差吸収回路の一実施形態が適用されるシステムの送信部を説明するために示すブロック構成図。

10 【図2】同システムにおけるDVCSパケット回路の信号動作を説明するために示す図。

【図3】この発明の一実施形態を示すブロック構成図。

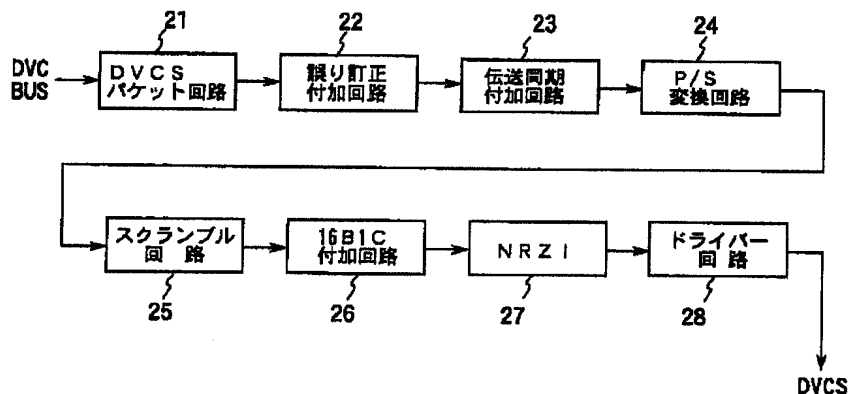
【図4】同実施形態における信号動作を説明するために示す図。

【図5】従来の伝送レート差吸収回路に使用されたメモリを説明するために示す図。

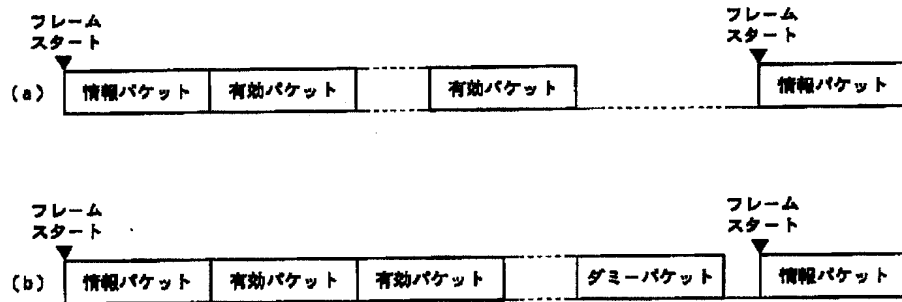
【符号の説明】

21a1~21an…シフトレジスタ、
21b…スイッチ、
21d…入力端子、
21e…出力端子、
21f…不用データ検出回路、
21g…タイミング制御回路。

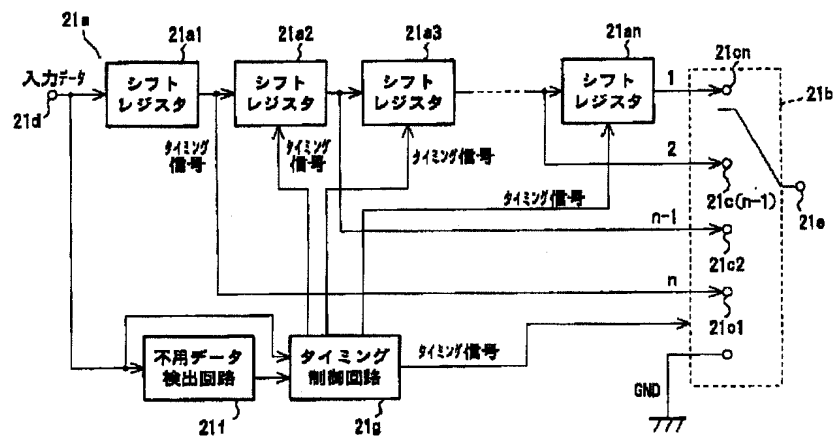
【図1】



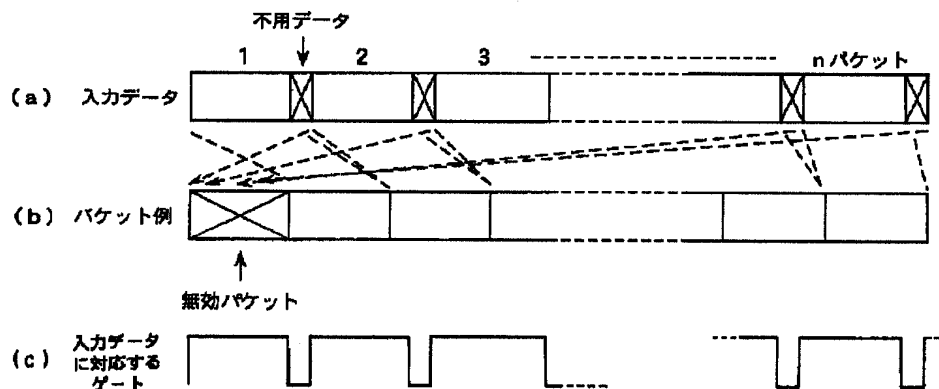
【図2】



【図3】



【図4】



【図5】

